

98 P 12 96



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑩ DE 196 04 602 C 1

B2

⑤ Int. Cl.⁸:
H 04 L 7/04
H 04 L 29/10
H 04 L 12/56
H 03 K 19/0175

⑳ Aktenzeichen: 196 04 602.5-31
㉑ Anmeldetag: 8. 2. 96
㉒ Offenlegungstag: —
㉓ Veröffentlichungstag
der Patenterteilung: 12. 6. 97

DE 196 04 602 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

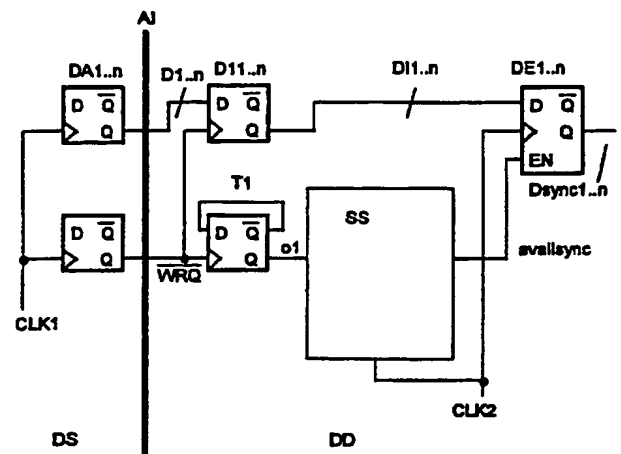
㉔ Patentinhaber:
Siemens AG, 80333 München, DE

㉕ Erfinder:
Bacigalupo, Tommaso, Dipl.-Inform. (FH), 82194
Gröbenzell, DE; Rüschemann, Frank, Dipl.-Ing. (TU),
81245 München, DE

㉖ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:
INTEL: MCS-48 Family of Single Chip
Microcomputers User's Manual, Sept. 1981, Santa
Clara, S.9-1;

㉗ Schaltungsanordnung einer asynchronen Schnittstelle zur Übertragung digitaler Daten

㉘ Es wird eine Schaltungsanordnung einer asynchronen Schnittstelle zur Übertragung von digitalen Daten zwischen einer Datenquelle und einer Datensenke dadurch bewirkt, daß in der Datensenke die Daten in ersten Registern zwischengespeichert werden, die wie eine weitere erste Kippstufe durch der Datenquelle synchrone Signale getaktet werden und ein Einschreiberlaubnisignal in einer Steuerung erzeugt wird, welches das Einschreiben der übertragenen digitalen Daten in die Zielregister der Datensenke steuert, wobei lediglich zur Erzeugung des Einschreiberlaubnisignals ein Schreibsignal der Datenquelle einsynchronisiert wird. Durch die erfindungsgemäße Schaltungsanordnung kann das Auftreten von metastabilen Zuständen auf eine minimale Anzahl von Registern beschränkt werden.



DE 196 04 602 C 1

Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung nach dem Oberbegriff des Patentanspruchs 1.

Asynchrone Schnittstellen verbinden Schaltungsanordnungen, die jeweils mit unterschiedlichen Systemtaktungen getaktet werden. Dies bedeutet, daß diese Schaltungsanordnungen nicht synchron betrieben werden und die Taktflanken beider Systemtakte in keinem festen Verhältnis stehen. Bei der Übertragung von digitalen Daten von einer Datenquelle zu einer Datensenke über eine asynchrone Schnittstelle ist es deshalb notwendig, i.d.R. innerhalb der Datensenke Schaltungsteile vorzusehen, die die übertragenen Daten zwischenspeichern, bevor sie in Zielregister eingelesen werden. Von den für die Zwischenspeicherung vorgesehenen ersten Registern zu den Zielregistern findet die Einsynchronisierung der übertragenen digitalen Daten statt.

Asynchrone Schnittstellen werden sowohl bei der Übertragung digitaler Daten innerhalb eines integrierten Schaltkreises, als auch zwischen integrierten Schaltkreisen verwendet. Wird z. B. für die übernehmenden Register (erste Register) der Datensenke die CMOS-Technologie verwendet (alternative Technologien wären BICMOS- oder Bipolartechnologien), treten bei der Übernahme der Daten zwischen den zwei Taktsystemen dort Übernahmeunregelmäßigkeiten, beispielsweise sog. Setup-Holdtimeviolations auf, falls sich das Signal zum Zeitpunkt der aktiven Taktflanke des übernehmenden Registers in keinem definierten Zustand befindet. Beispielsweise bei der CMOS-Technologie bedeutet dies, daß das Datensignal in diesem Fall der halben Betriebsspannung entspricht und sowohl nach logisch 0 als auch logisch 1 kippen kann. Dieser metastabile Zustand geht einher mit einem erhöhten Stromverbrauch, wodurch sich die Lebensdauer des entsprechenden integrierten Schaltkreises verkürzt.

Aus Intel: MCS-48 Family of Single Chip Microcomputers User's Manual, September 1981, Seite 9—1, ist eine programmierbare Kommunikationsschnittstelle bekannt, die als asynchrone Schnittstelle betrieben werden kann. Sie ist derartig programmierbar, daß sie mit einer Vielzahl von seriellen Datenübertragungstechniken kompatibel ist.

Der Erfindung liegt die Aufgabe zugrunde, zur Übertragung digitaler Daten über eine asynchrone Schnittstelle eine einfache und funktionssichere Schaltungsanordnung auszugeben. Die Aufgabe wird durch die Schaltungsanordnung nach Patentanspruch 1 ausgehend von den Merkmalen des Oberbegriffs durch die Merkmale des kennzeichnenden Teils gelöst.

Das Vorliegen von zu übertragenden Daten wird durch die Datenquelle durch zumindest ein der Datenausgabe der Datenquelle synchrones Signal angezeigt. Die zu übertragenden digitalen Daten werden in zumindest einem ersten Register der Datensenke parallel zwischengespeichert und dieses Zwischenspeichern durch einen Zustandswechsel einer ersten Kippstufe zur weiteren Auswertung erfaßt und gespeichert. Dabei wird das zumindest eine erste Register und die erste Kippstufe, obwohl zur Datensenke gehörend, durch jeweils ein der Datenausgabe der Datenquelle synchrones Signal, also synchron zum Takt der Datenquelle getaktet. Dadurch wird an diesen Registern bzw. dieser Kippstufe das Vorliegen von metastabilen Zuständen verhindert.

Um die zu übertragenden Daten in das zumindest eine Zielregister der Datensenke einzusynchronisieren ist eine durch den Systemtakt der Datensenke getaktete

Steuerschaltung innerhalb der Datensenke vorgesehen. In dieser Steuerschaltung wird der Zustandswechsel der ersten Kippstufe ausgewertet und ein Einschreiberlaubnisignal für die Zielregister erzeugt. Dieses Einschreiberlaubnisignal ist dabei bei seiner Aktivierung der Zwischenspeicherung synchron und bei seiner Deaktivierung dem Einschreibevorgang synchron. Hierdurch wird sichergestellt, daß die übertragenen digitalen Daten zur Datenquelle synchron zwischengespeichert werden und zur Datensenke synchron in die Zielregister eingelesen werden. Metastabile Zustände werden somit außerhalb der Steuerschaltung vermieden.

Das Einschreiberlaubnisignal steuert dabei das Einlesen der zwischengespeicherten digitalen Daten in das zumindest eine Zielregister.

Die Datenquelle und die Datensenke brauchen gemäß der erfindungsgemäßen Schaltungsanordnung nicht synchronisiert zu sein und nach einer weiteren Ausgestaltung werden die erste Kippstufe und das zumindest eine erste Register durch ein gemeinsames Schreibsignal getaktet. Die erste Kippstufe ist dabei für die Erfassung und Speicherung der aktiven Flanke, die die Zwischenspeicherung auslöst, vorgesehen. Damit kann auch die Anzahl der Verbindungsleitungen minimiert werden.

Bei vielen parallelen Verbindungsleitungen für die Übertragung digitaler Daten verhindert die erfindungsgemäße Schaltungsanordnung, daß an den z. B. in CMOS-Technologie gefertigten Registern, in die die digitalen Daten zwischengespeichert bzw. eingelesen werden, metastabilen Zustände eintreten. Metastabile Zustände können einzig und allein innerhalb der Steuerschaltung bei der Auswertung des Schreibsignals auftreten. Insgesamt kann dadurch der zusätzliche Stromverbrauch und die Alterung aufgrund eines Auftretens von metastabilen Zuständen gering gehalten werden.

Die Steuerschaltung kann dabei vorteilhafterweise eine erste Erlaubnissignalkippstufe enthalten, die ein erstes noch zur Datensenke asynchrones Hilfssignal als Eingangssignal und ein zweites Hilfssignal als Ausgangssignal aufweist. Die Steuerschaltung ist dabei derart ausgestaltet, daß nach der Aktivierung des Schreibsignals durch die Datenquelle für eine das Einstellen eines definierten Zustandes der ersten Erlaubnissignalkippstufe ausreichende Zeitspanne das erste, vom Schreibsignal abgeleitete Hilfssignal aktiviert wird. Dies ist der Moment der Einsynchronisierung des Schreibsignals, wobei das zweite Hilfssignal zur Erzeugung des Einschreiberlaubnisignals vorgesehen ist.

Abhängig von der Zeitdauer des Kippens der ersten Erlaubniskippstufe von einem metastabilen Zustand in einen stabilen Zustand werden in die Steuerschaltung ggf. weitere Verzögerungsglieder eingebracht. Es wird eine zweite Erlaubnissignalkippstufe mit dem zweiten Hilfssignal als Eingangssignal oder eine anderweitige verzögerte Bewertung vorgesehen und das Einschreiberlaubnisignal als Ausgangssignal der zweiten Erlaubniskippstufe bzw. des Verzögerungselements gewonnen, wenn die Zeit des Kippens der ersten Erlaubnissignalkippstufe größer der halben Periode des Systemtaktes der Datensenke ist. Diese verzögerte Bewertung ist nötig, um sicherzustellen, daß das Einschreiberlaubnisignal ein bereits einsynchronisiertes Signal ist.

Im Fall, daß die Zeitspanne des Kippens kleiner der halben Periode ist, kann auf die zweite Erlaubnissignalkippstufe verzichtet werden, so daß das zweite Hilfssignal dem Einschreiberlaubnisignal entspricht.

Eine weitere Ausgestaltungsmöglichkeit der erfin-

zungsgemäßen Schaltungsanordnung sieht vor, daß durch die Steuerschaltung nach Aktivierung des Schreibsignals oder anderer dem Takt der Datenausgabe der Datenquelle synchroner Signale eine für die Einstellung eines definierten Zustandes des Einschreiberlaubnissignals ausreichende Zeitspanne überbrückt wird, bis das Einlesen der Daten in das Zielregister freigegeben wird. Die Steuerschaltung nutzt eine gewisse Verzögerung, um die Einsynchronisierung zwischen den beiden Taktsystemen und das sichere Erzeugen des Einschreiberlaubnissignals zu gewährleisten.

Gemäß einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Schaltungsanordnung ist die erste Kippstufe als Toggle-Register ausgebildet, d. h. bei jeder aktiven Flanke des Einschreibesignals ändert sich das Ausgangssignal der ersten Kippstufe und bleibt zudem gespeichert. Weiterhin ist eine zweite der Steuerschaltung zugehörige Kippstufe vorgesehen, die ein einem ersten Ausgangssignal der ersten Kippstufe zeitversetztes zweites Ausgangssignal erzeugt. Das erste und zweite Ausgangssignal sind auf ein Logikelement geführt und dessen Ausgangssignal ist durch weitere eine Zeitverzögerung bewirkende Elemente, z. B. die erste und zweite Erlaubnissignalkippstufe, zur Weiterverarbeitung zum Einschreiberlaubnissignal vorgesehen. Bei der Ausgestaltung der weiteren eine Zeitverzögerung bewirkenden Elemente ist es vorteilhaft, sie mit unterschiedlichen Taktflanken zu takten, d. h. z. B. die erste Erlaubnissignalkippstufe wird durch den invertierten Systemtakt getaktet, wodurch die Verzögerungszeit nur eine halbe Periodendauer beträgt. Dabei erweist es sich als vorteilhaft, wenn dem Dateneingang der ersten Erlaubnissignalkippstufe das Ausgangssignal (erste Hilfssignal) des Logikelementes als Datensignal zugeführt ist, wobei das Logikelement z. B. als Antivalenzgatter ausgebildet ist, und ein Ausgang der zweiten Erlaubnissignalkippstufe zur Erzeugung des Einschreiberlaubnissignals vorgesehen ist. Die zweite Kippstufe ist beispielsweise so ausgestaltet, daß ihr das Ausgangssignal der zweiten Kippstufe als Datensignal zugeführt wird und die Funktion der zweiten Kippstufe mit dem Aktivwerden des Einschreiberlaubnissignals freigegeben wird, indem das Einschreiberlaubnissignal zur Steuerung der Enable-Funktion der zweiten Kippstufe genutzt wird.

Zur sicheren Datenübernahme liegen die Systemtakte der Datensenke und Datenquelle in einem bestimmten erlaubten Bereich. Durch die Verzögerung des Einlesens der übertragenen Daten in die Zielregister ist es erforderlich, daß der Systemtakt der Datensenke größer ist als der Takt der Datenausgabe der Datenquelle, vorteilhafterweise ist dieses Taktverhältnis größer oder gleich 2 : 1, je nach Gestaltung der Steuerschaltung vorzugsweise 2 : 1 oder 5 : 2.

Im folgenden wird die erfindungsgemäße Schaltungsanordnung anhand von zeichnerischen Darstellungen näher erläutert.

Dabei zeigen

Fig. 1 und 2 eine Schaltungsanordnung einer asynchronen Schnittstelle zur Übertragung von digitalen Daten zwischen einer Datenquelle und einer Datensenke, und

Fig. 3 das Zeitdiagramm der Datenübertragung der Schaltungsanordnung nach Fig. 2.

Die Schaltungsanordnung in Fig. 1 besteht aus einer Datenquelle DS und einer Datensenke DD, die über eine asynchrone Schnittstelle AI verbunden sind. Die Datenausgabe der Datenquelle DS wird durch einen

Systemtakt CLK1 getaktet. Die Datenquelle DS enthält Ausgangsregister DA1 .. n für zu übertragenden Daten D1 .. n und ein Schreibsignal WRQ. Der hier angegebene Takt CLK1 der Datenquelle DS entspricht nicht notwendigerweise dem Systemtakt dieser Baugruppe sondern ist der Takt, mit dem die Daten D1 .. n über die asynchrone Schnittstelle AI ausgegeben werden. Beispielsweise handelt es sich bei der Datenquelle DS um einen digitalen Signalprozessor (DSP) der Daten zur Weiterverarbeitung an einen anwendungsspezifischen Schaltkreis (ASIC) übergibt. Der anwendungsspezifische Schaltkreis (ASIC) stellt die Datensenke DD dar und ist beispielsweise in CMOS-Technologie gefertigt. In Fig. 1 handelt es sich um eine parallele Schnittstelle, so daß für jedes einzelne Datum D1 .. n eine eigenständige Verbindungsleitung zwischen Datenquelle DS und Datensenke DD vorliegt. Ebenso könnte jedoch auch eine serielle Schnittstelle erfindungsgemäß ausgestaltet sein. Die Verbindungsleitungen für die zu übertragenden digitalen Daten D1 .. n sind jeweils mit den Eingängen zumindest eines ersten Registers D11 .. n verbunden.

Weiterhin ist zur Übertragung des Schreibsignals WRQ eine Verbindungsleitung zwischen Datenquelle DS und einer ersten Kippstufe T1 der Datensenke DD vorgesehen. Diese Verbindungsleitung ist allerdings mit dem Takteingang der ersten Kippstufe T1 verbunden. Alle beschriebenen Kippstufen und Register sind beispielsweise als einflanken-gesteuerte Kippstufen ausgeprägt. Auch die ersten Register D11 .. n werden durch das Schreibsignal WRQ getaktet. Durch die Taktung sowohl der ersten Register D11 .. n als auch der ersten Kippstufe T1 durch das Schreibsignal WRQ treten bei diesen Kippstufen bzw. Registern keine metastabilen Zustände auf.

Die erste Kippstufe T1 ist als Toggle-Register ausgebildet, d. h. ein negierter Ausgang ist mit einem Dateneingang verbunden. Ein nichtnegierter Ausgang der ersten Kippstufe T1 ist mit einer Steuerschaltung SS verbunden. Die Steuerschaltung SS wird durch den Systemtakt CLK2 der Datensenke DD getaktet und ist hier beispielsweise der Datensenke DD selbst zugeordnet. Auch das zumindest eine Zielregister DE1 .. n wird durch den Systemtakt CLK2 der Datensenke DD getaktet. Die Dateneingänge der Zielregister DE1 .. n sind jeweils mit Ausgängen der ersten Register D1 .. n verbunden, über diese Verbindungsleitungen werden zum gegebenen Zeitpunkt die zwischengespeicherten, zu übertragenden Daten D11 .. n in die Zielregister DE1 .. n eingelesen.

Dieses Einlesen ist neben dem Systemtakt CLK2 auch vom Zustand eines Enable-Eingangs EN der Zielregister DE1 .. n abhängig. Auf diesen Enable-Eingang EN wird ein in der Steuerschaltung SS in Abhängigkeit vom Systemtakt CLK2 und dem Zustand der ersten Kippstufe T1 erzeugtes Einschreiberlaubnissignal availsync gesteuert.

In der Steuerschaltung SS findet die Einsynchronisierung des Schreibsignals WRQ statt, indem das Schreibsignals WRQ synchron zur Datenquelle DS in die Steuerschaltung SS eingelesen wird und synchron zum Systemtakt CLK2 der Datensenke DD ausgewertet wird. Das Einschreiberlaubnissignals availsync wird daraufhin aktiviert und nach erfolgtem Einlesen der zwischengespeicherten Daten D11 .. n in die Zielregister DE1 .. n, also synchron zum Systemtakt CLK2 der Datensenke DD deaktiviert. Damit können lediglich in der Steuerschaltung SS metastabile Zustände auftreten, wäh-

renddessen die ersten Register D11 .. n und die Zielregister DE .. n diese metastabilen Zustände nicht aufweisen.

Die Funktionsweise der Steuerschaltung SS soll nun anhand von Fig. 2 verdeutlicht werden. Der Ausgang der ersten Kippstufe T1 mit einem Signal o1 ist auf einen Eingang eines Antivalenzgatters XOR gelegt. Weiterhin ist innerhalb der Steuerschaltung SS eine zweite Kippstufe T2 vorgesehen, deren Dateneingang mit dem Ausgangssignal o1 der ersten Kippstufe T1 belegt wird. Die zweite Kippstufe T2 wird durch den Systemtakt CLK2 der Datensenke DD getaktet und durch das Einschreiberlaubnisignal availsync auf dem Enable-Eingang EN aktiviert.

Der nichtinvertierte Ausgang dieser zweiten Kippstufe T2 mit einem Signal o2 wird auf einen zweiten Eingang des Antivalenzgatters XOR geführt. Ein Ausgang des Antivalenzgatters XOR ist mit einem Dateneingang einer ersten Erlaubnissignalkippstufe R1 verbunden. Ein Ausgang dieser ersten Erlaubnissignalkippstufe R1 ist mit einem Dateneingang einer zweiten Erlaubnissignalkippstufe R2 verbunden. Die Dateneingänge der ersten bzw. zweiten Erlaubnissignalkippstufe R1, R2 werden somit durch ein erstes bzw. zweites Hilfssignal avail 1, avail 2 gespeist. Die beiden Erlaubnissignalkippstufen R2, R2 werden durch den Systemtakt CLK2 der Datensenke DD getaktet, wobei die erste Erlaubnissignalkippstufe R1 einen invertierten Takteingang aufweist. Der Ausgang der zweiten Erlaubnissignalkippstufe R2 erzeugt schließlich das Einschreiberlaubnisignal availsync, das sowohl den Enable-Eingängen EN der Zielregister DE1 .. n als auch der zweiten Kippstufe T2 zugeführt wird.

Fig. 3 gibt schließlich ein Zeitdiagramm zur Datenübertragung zwischen Datenquelle DS und Datensenke DD an, in dem die aus Fig. 2 bekannten Signale in ihrem zeitlichen Verlauf dargestellt sind. Die Inbetriebnahme der Datensenke DD sieht vor, daß durch entsprechendes Rücksetzen sowohl die erste als auch die zweite Kippstufe T1, T2 sich vor der ersten Datenübernahme im gleichen Zustand befindet, d. h. ihre Ausgangssignale o1, o2 sind beispielsweise logisch 0. Die Datenübertragung beginnt damit, daß durch die Datenquelle DS Daten D1 .. n auf den entsprechenden Verbindungsleitungen bereitgestellt werden und das Schreibsignal WRQ aktiviert wird. Daraufhin werden die Daten D1 .. n in die ersten Register D11 .. n eingelesen und erscheinen an deren Ausgängen als zwischengespeicherte Daten D11 .. n.

Die aktive Flanke des Schreibsignals WRQ bewirkt eine Zustandsänderung des Toggle-Registers, d. h. der ersten Kippstufe T1, die auf logisch 1 kippt. Die Antivalenzfunktion des Antivalenzgatters XOR sieht nun an den Eingängen die Signale o1 und o2, die kurz nach dem Umschalten der ersten Kippstufe T1 unterschiedliche Zustände aufweisen, wodurch das Antivalenzgatter XOR an seinem Ausgang das erste Hilfssignal avail1 auf logisch 1 setzt. Die zweite Kippstufe T2 kann, solange das Einschreiberlaubnisignal availsync nicht aktiviert ist, nicht schalten, so daß dessen Ausgang mit dem Signal o2 weiterhin auf logisch 0 liegt. Die erste Erlaubnissignalkippstufe R1 schaltet bei der nächsten negativen Taktflanke des Systemtaktes CLK2 der Datensenke DD und legt das zweite Hilfssignal avail2 auf einen Ausgang. Dieses zweite Hilfssignal avail 2 wird in der zweiten Erlaubnissignalkippstufe R2 im Dateneingang eingelesen und bei der darauf folgenden positiven Taktflanke des Systemtaktes CLK2 der Datensenke DD auf den

Ausgang durchgeschaltet. Das Ausgangssignal der zweiten Erlaubnissignalkippstufe R2 ist das Einschreiberlaubnisignal availsync, das dem Enable-Eingang EN der Zielregister DE1 .. n und dem Enable-Eingang EN der zweiten Kippstufe T2 zugeführt wird.

Auf das Freigeben der Funktion der Zielregister DE1 .. n erfolgt das Einlesen der zwischengespeicherten Daten D11 .. n in die Zielregister DE1 .. n, so daß an deren Ausgängen synchronisierte Daten Dsync1 .. n nach der nächsten positiven Taktflanke des Systemtaktes CLK2 vorliegen. Das Einschreiberlaubnisignal availsync wird deaktiviert, indem die zweite Kippstufe T2 bei positiver Taktflanke des Systemtaktes CLK2 der Datensenke DD gleichzeitig mit dem Einlesen der übertragenen Daten D11 .. n umschaltet und das zweite Hilfssignal o2 auf logisch 1 geschaltet wird. Das erste Hilfssignal avail1 wird daraufhin gemäß der Antivalenzfunktion wieder logisch 0 und innerhalb einer Periode hat dieser Zustand, logisch 0, die beiden Erlaubnissignalkippstufen R1, R2 passiert, so daß das Einschreiberlaubnisignal availsync wieder deaktiviert ist.

Metastabile Zustände können lediglich bei der ersten Erlaubnissignalkippstufe R1 auftreten, da diese durch den Systemtakt CLK2 der Datensenke DD getaktet wird, währenddessen der Dateneingang zeitlich synchron zum Takt CLK1 der Datenausgabe der Datenquelle DS ist. Die zweite Erlaubnissignalkippstufe R2 kann weggelassen werden, wenn sichergestellt ist, daß die Zeit des Einstellens eines stabilen Zustandes der ersten Erlaubnissignalkippstufe R1 kleiner der halben Periode des Systemtaktes CLK2 der Datensenke DD ist. Die erfindungsgemäße Schaltungsanordnung stellt mit sehr geringem schaltungstechnischen Aufwand sicher, daß die zu übertragenen Daten D1 .. n über die asynchrone Schnittstelle AI sicher und mit geringen zusätzlichen Belastungen durch metastabile Zustände erfolgt.

Patentansprüche

1. Schaltungsanordnung einer asynchronen Schnittstelle (AI) zur Übertragung digitaler Daten (D1 .. n) von einer Datenquelle (DS) zu einer zumindest ein Zielregister (DE1 .. n) enthaltenden Datensenke (DD),

— wobei die Datenquelle (DS) und die Datensenke (DD) über Verbindungsleitungen für die Daten (D1 .. n) und für zumindest ein der Datenausgabe der Datenquelle (DS) synchrones Signal (WRQ) verbunden sind und

— die Daten (D1 .. n) datensenkenseitig in zumindestens einem ersten Register (D11 .. n) parallel zwischengespeichert werden,

dadurch gekennzeichnet,

— daß das erste Register (D11 .. n) und eine erste Kippstufe (T1) durch jeweils ein dem Takt (CLK1) der Datenausgabe der Datenquelle (DS) synchrones Signal (WRQ) getaktet werden,

— daß die erste Kippstufe (T1) derart ausgeprägt ist, daß ein das Zwischenspeichern der Daten (D1 .. n) im ersten Register (D11 .. n) erfassender Zustandswechsel eintritt und gespeichert wird, und

— daß eine durch den Systemtakt (CLK2) der Datensenke (DD) getaktete Steuerschaltung (SS) vorgesehen ist, um

— den Zustand der ersten Kippstufe (T1) auszuwerten und

— das Einlesen der Daten (D1 .. n) in das zumindest eine Zielregister (DE1 .. n) mit Hilfe eines über das Zwischenspeichern aktivierbaren und den Einschreibevorgang deaktivierbaren Einschreiberlaubnissignals (availsync) zu steuern.

2. Schaltungsanordnung nach Anspruch 1, bei der die der Datenausgabe der Datenquelle (DS) synchronen Signale durch ein das erste Register (D1 .. n) und die erste Kippstufe (T1) gemeinsam taktendes Schreibsignals (\overline{WRQ}) realisiert werden und in der ersten Kippstufe (T1) die Erfassung und Speicherung der aktiven Flanke dieses Schreibsignals (\overline{WRQ}) vorgesehen ist.

3. Schaltungsanordnung nach Anspruch 1 oder 2, bei der die Steuerschaltung (SS) eine erste, ein zur Erzeugung des Einschreiberlaubnissignals (availsync) vorgesehenes zweites Hilfssignal (avail2) am Ausgang bereitstellende Erlaubnissignalkippstufe (R1) mit einem ersten Hilfssignal (avail1) als Eingangssignal enthält und derart ausgestaltet ist, daß nach Aktivierung des Schreibsignals (\overline{WRQ}) durch die Datenquelle (DS) für eine das Einstellen eines definierten Zustandes der ersten Erlaubnissignalkippstufe (R1) ausreichende Zeitspanne das erste, vom Schreibsignals (\overline{WRQ}) abgeleitete Hilfssignal (avail1) aktiviert wird.

4. Schaltungsanordnung nach Anspruch 3, bei der das zweite Hilfssignale (avail2) als Eingangssignal einer zweiten, in der Steuerschaltung (SS) enthaltenen Erlaubnissignalkippstufe (R2) vorgesehen ist, die mittelbar oder unmittelbar das Einschreiberlaubnissignal (availsync) bereitstellt.

5. Schaltungsanordnung nach Anspruch 3, bei der das zweite Hilfssignal (avail2) dem Einschreiberlaubnissignal (availsync) entspricht, falls die Zeit des Kippens der ersten Erlaubnissignalkippstufe (R1) von einem undefinierten in einen definierten Zustand kleiner der halben Periodendauer des Systemtakts (CLK2) der Datensenke (DD) ist.

6. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, bei der durch die Steuerschaltung (SS) auf die Aktivierung des Schreibsignals (\overline{WRQ}) das Einlesen der Daten (D1 .. n) in das Zielregister (DE1 .. n) nach einer das Einstellen eines definierten Zustandes des Einschreiberlaubnissignal (availsync) ausreichenden Zeitspanne freigegeben wird.

7. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, bei der

— die erste Kippstufe (T1) als Toggle-Register ausgebildet ist,

— eine zweite Kippstufe (T2) als Teil der Steuerschaltung (SS) vorgesehen ist, die ein einem ersten Ausgangssignal (o1) der ersten Kippstufe (T1) zeitversetztes zweites Ausgangssignal (o2) erzeugt, und

— das erste und zweite Ausgangssignal (o1, o2) auf die Eingänge eines Logikelements (XOR) geführt werden und ein Ausgangssignal (avail1) des Logikelements (XOR) durch weitere eine Zeitverzögerung bewirkende Elemente (R1, R2) der Steuerschaltung (SS) zum Einschreiberlaubnissignal (availsync) weiterverarbeitet wird.

8. Schaltungsanordnung nach Anspruch 7, bei der — die Elemente (R1, R2) der Steuerschaltung (SS) als zwei verkettete und mit dem Systemtakt (CLK2) der Datensenke (DD) getaktete

erste und zweite Erlaubnissignalkippstufen (R1, R2) realisiert sind,

— wobei zum Takten der ersten Erlaubnissignalkippstufe (R1) der invertierte Systemtakt (CLK2) vorgesehen ist und

— wobei das Ausgangssignal (avail1) des als Antivalenz-Gatter ausgebildeten Logikelements (XOR) als Dateneingangssignal der ersten Erlaubnissignalkippstufe (R1) vorgesehen ist und ein Ausgang der zweiten Erlaubnissignalkippstufe (R2) zur Erzeugung des Einschreiberlaubnissignals (availsync) vorgesehen ist.

9. Schaltungsanordnung nach Anspruch 7 oder 8, bei der das Ausgangssignal (o1) der ersten Kippstufe (T1) als Datensignal der zweiten Kippstufe (T2) vorgesehen ist und das Einschreiberlaubnissignal (availsync) zur Freigabe der Funktion der zweiten Kippstufe (T2) vorgesehen ist.

10. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, bei der der Systemtakt (CLK2) der Datensenke (DD) mindestens doppelt so groß als der Takt (CLK1) der Datenausgabe der Datenquelle (DS) ist.

Hierzu 3 Seite(n) Zeichnungen

Fig. 1

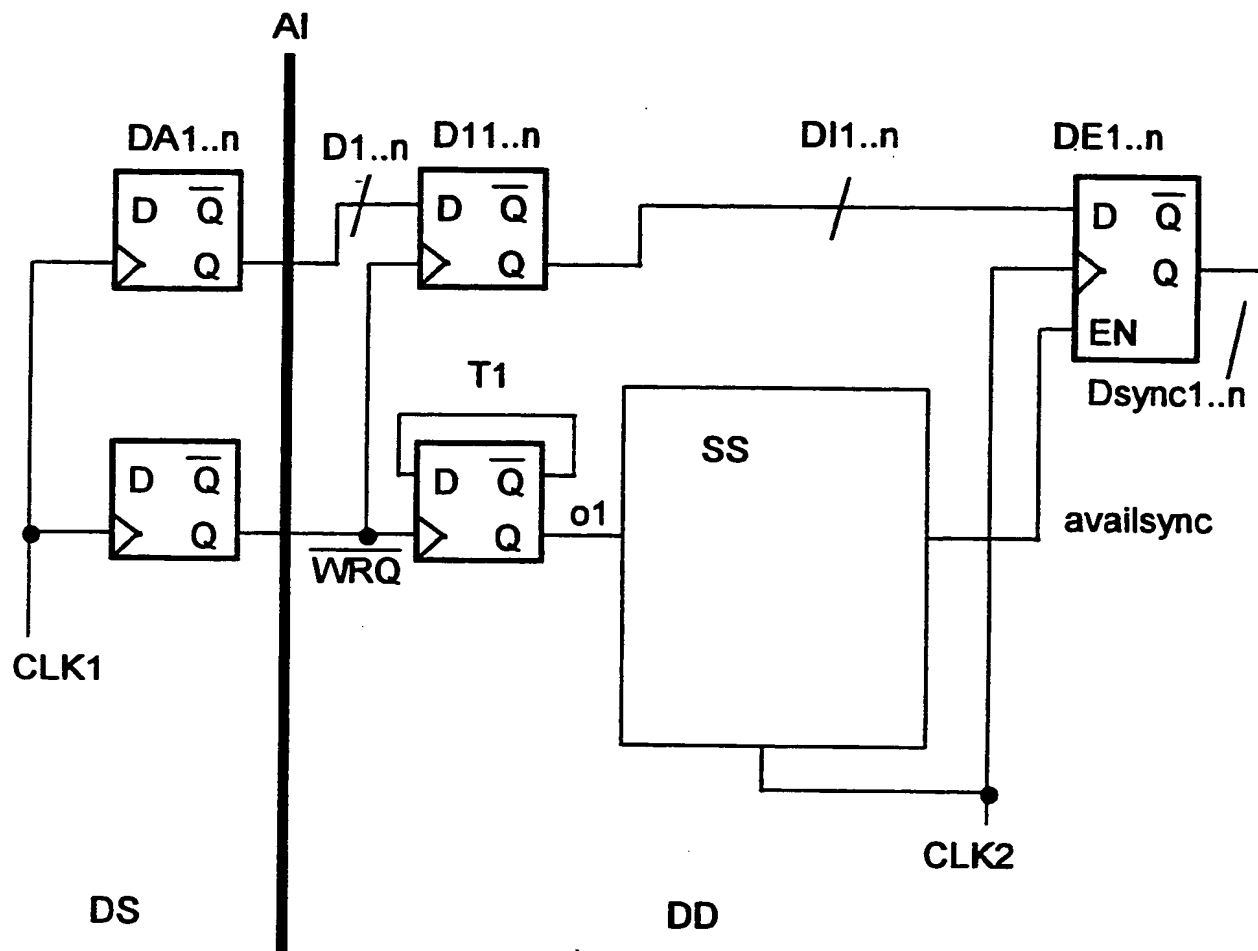


Fig.3

Zeitdiagramm

